

En español

Análisis de un inversor multinivel en cascada con tolerancia a fallas

Jesús Aguayo Alquicira¹, Abraham Claudio Sánchez², Luis Gerardo Vela Valdés³, Marco Antonio Rodríguez⁴, Rodolfo Amalio Vargas Méndez⁵

RESUMEN

Los inversores multinivel en cascada son ampliamente utilizados en la industria para el control de la velocidad en motores y aun cuando los inversores son muy confiables en su operación, diversas fallas en ellos pueden ocurrir, llegando a degradar el comportamiento de los motores o incluso producirse el paro total del sistema. Cuando una falla se presenta es deseable mantener en operación el sistema aun en régimen degradado y la implementación de sistemas tolerantes a fallas en ese tipo de dispositivos son una buena opción. En este trabajo se ofrece una estrategia generalizada relativa a tolerar fallas en los dispositivos semiconductores de un inversor multinivel en cascada de siete niveles y se incluyen los resultados en simulación y experimentales para la validación del método.

Palabras clave: modulación IPDPWM, tolerancia a fallas, inversor multinivel en cascada.

Recibido: octubre 21 de 2010
Aceptado: noviembre 2 de 2011

Introducción

En aplicaciones de mediano voltaje (2,3 kV a 13,8 kV) y alta potencia (0,4 MW a 40 MW) los inversores multinivel ofrecen ventajas particulares de operación al incrementar el número de niveles de voltaje a la salida, por ejemplo: un menor contenido armónico, una disminución en los transitorios dv/dt de las conmutaciones y reducción de pérdidas eléctricas (Cortés *et al.*, 2008). Los inversores multinivel más utilizados en la industria son: diodos de enclavamiento, cascada y condensadores flotantes (BinWu, 2006; Jae-Chu *et al.*, 2006). Sin embargo, al incrementarse el número de niveles aumenta también el número de interruptores en la topología y se eleva la probabilidad de falla en el sistema (Mingyao *et al.*, 2007; LeiHu *et al.*, 2005). Cuando

In English

Analysis of a cascaded multilevel inverter with fault-tolerant control

Jesús Aguayo Alquicira⁶, Abraham Claudio Sánchez⁷, Luis Gerardo Vela Valdés⁸, Marco Antonio Rodríguez⁹, Rodolfo Amalio Vargas Méndez¹⁰

ABSTRACT

Cascaded multilevel inverters are widely used in industry for speed control of induction motors and, even when the converters' operation is highly reliable, several faults can occur, leading to poor engine performance or even causing the whole system to stop. It is desirable to keep the system operational when a failure occurs, even when degraded, and implementing fault-tolerant systems are thus a good choice. This paper presents a general strategy for fault-tolerant control in a 7-level cascaded multilevel inverter (the faults are in semiconductor devices); the paper includes simulation and experimental results to validate the method.

Keywords: modulation, in-phase pulse width modulation (IPDPWM), fault-tolerance, cascaded multilevel inverter.

Received: October 21th 2010
Accepted: November 2nd 2011

Introduction

Multilevel inverter operation for medium voltage (2.3kV to 13.8kV) and high power (0.4MW to 40MW) applications offers interesting advantages with increased output voltage level, e.g. harmonic reduction, output filter elimination, dv/dt transient reduction during commutation, low EMI emissions by overvoltages and power loss reduction (Cortés *et al.*, 2008). Diode-clamped, cascade and flying capacitors are the multilevel inverters most used in industry (Bin Wu 2006, Jae-Chu *et al.*, 2006). However, the number of switches needed in the topology increases with the number of levels and, although the switches may be highly reliable, a system's fault probability will become increased (Mingyao *et al.*, 2007; Lei Hu *et al.*, 2005). An unbal-

¹ Doctor y Maestro en Ciencias en Ingeniería electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET, México. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. jaguayo@cenidet.edu.mx.

² Maestro en Ciencias en Ingeniería eléctrica, Instituto Tecnológico de la Laguna, México. Doctor en Ciencias en Ingeniería eléctrica, Instituto Nacional Politécnico de Grenoble, Francia. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. peabraha@cenidet.edu.mx.

³ Maestro en Ciencias en Ingeniería eléctrica, Instituto Tecnológico de la Laguna. Doctor en Control automático, Universidad Henry Poincaré, Francia. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. velaluis@cenidet.edu.mx

⁴ Doctor y Maestro en Ciencias en Ingeniería electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET, México. Profesor, Universidad Autónoma del Carmen. marblanco73@hotmail.com

⁵ Maestro en Ciencias en Ingeniería electrónica y Estudiante de doctorado, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. Amalio08e@cenidet.edu.mx.

⁶ Doctor and Master of Science in Electronic Engineering, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET, México. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET, México. jaguayo@cenidet.edu.mx.

⁷ Master of Science in Electrical Engineering, Instituto Tecnológico de la Laguna, Mexico. Doctor of Science in Electrical Engineering, Nacional Politécnico de Grenoble, France. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. peabraha@cenidet.edu.mx.

⁸ Master of Science in Electrical Engineering, Instituto Tecnológico de la Laguna. PhD in Automatic Control, Universidad Henry Poincaré, France. Profesor, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. velaluis@cenidet.edu.mx

⁹ Doctor and Master of Science in Electronic Engineering, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET, Mexico. Profesor, Universidad Autónoma del Carmen. marblanco73@hotmail.com

¹⁰ Master of Science in Electronic Engineering PhD Student, Centro Nacional de Investigación y Desarrollo Tecnológico—CENIDET. Amalio08e@cenidet.edu.mx.

En español

se presenta una falla se genera un voltaje desbalanceado que puede ocasionar daño permanente en la carga o un paro total del sistema (Barriuso *et al.*, 2009; Francois *et al.*, 2002).

Los estudios relacionados con la tolerancia a fallas en los inversores multinivel contemplan diversas estrategias para obtener un voltaje línea-línea balanceado a la salida (Mingyao *et al.*, 2007; LeiHu *et al.*; 2005; Shengming *et al.*, 2006 y Sanmin *et al.*, 2004). Xiaomin *et al.* (2004) estudiaron el inversor con condensadores flotantes de cuatro niveles empleando la estrategia de redundancia material (uso de componentes extras). Edison *et al.* (2006) y Gun-Tae *et al.* (2004) analizaron el inversor con diodos de enclavamiento de tres niveles y también usaron componentes extras para tolerar fallas. Francois *et al.* (2002) presentaron el inversor multinivel en cascada con una rama adicional para intercambiar las señales de conmutación cuando ocurre una falla. Sanmin *et al.* (2006) y Surin *et al.* (2006) analizaron el inversor en cascada y la técnica de tolerancia a fallas empleada en la variación de las modulaciones de los dispositivos semiconductores. Barriuso *et al.* (2009), Mingyao *et al.* (2007) y LeiHu *et al.* (2005) presentaron sistemas tolerantes a fallas para un convertidor multinivel asimétrico empleando redundancia material. También existen trabajos como los de De Lillo *et al.* (2010), donde se despliega un sistema tolerante a fallas en máquinas eléctricas, con énfasis en aplicaciones aeroespaciales, y el de Xiong *et al.* (2008), en el cual la aplicación es un vehículo eléctrico.

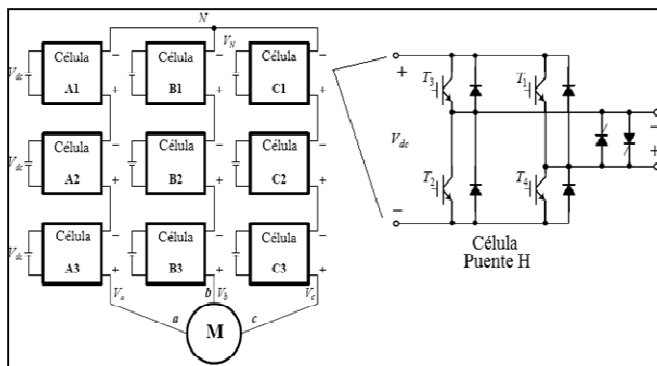


Figura 1. Diagrama del inversor multinivel en cascada de siete niveles.

En este trabajo se analiza el inversor en cascada de siete niveles (figura 1), con capacidad de tolerancia a fallas, aprovechando la modularidad del sistema al modificar la secuencia de operación de los interruptores (modulación). El objetivo está encaminado a verificar hasta dónde es posible reconfigurar la topología ante fallas en una o dos celdas, manteniendo el voltaje de salida balanceado y con baja distorsión armónica en comparación con los voltajes nominales de salida en función de la aplicación.

Análisis de fallas

Existen diversos estudios sobre análisis de fallas en sistemas de potencia (Aguayo *et al.*, 2004; Pérez *et al.*, 2009; Quiroga, 2009), pero en la práctica los inversores vienen con funciones de protecciones (Friedrich *et al.*, 2003) o se activan las protecciones pasivas del sistema en función de la duración de la falla (Sun *et al.*, 2010). Para llevar a cabo este análisis se hace necesario desactivar las protecciones pasivas y solo se analizan dos tipos de fallas que pueden presentarse en los dispositivos semiconducto-

In English

anced voltage is generated when a fault occurs which can produce permanent damage to the load or complete system failure (Barriuso *et al.*, 2009, Francois *et al.*, 2002).

Related studies about fault-tolerant multilevel inverter have been focused on different techniques for obtaining a three-phase balanced output voltage (Mingyao *et al.*, 2007; Lei Hu *et al.*, 2005; Shengming *et al.*, 2006; Sanmin *et al.*, 2004). Xiaomin analysed a flying capacitor-based four-level inverter using the material redundancy technique (using extra components) (Xiaomin *et al.*, 2004). Other work has analysed a three-level diode clamped multilevel inverter and also used extra components to tolerate faults (Edison *et al.*, 2006; Gun-Tae *et al.*, 2004); a cascade multilevel inverter with an additional leg and redundancy technique regarding change of pulse width modulation (PWM) when a fault occurs has also been described (Francois *et al.*, 2002). Several authors (Sanmin *et al.*, 2006; Surin *et al.*, 2006) have presented a cascade multilevel inverter and fault-tolerant technique used to change PWM modulation in semiconductor power devices, whilst others (Barriuso *et al.*, 2009, Mingyao *et al.*, 2007 and Lei Hu *et al.*, 2005) have shown tolerant control for an asymmetric cascade multilevel inverter using material redundancy. Others works (De Lillo *et al.*, 2010) have dealt with a fault-tolerant system for electrical machines, focusing on Aerospace applications and electric vehicle applications (Xiong *et al.*, 2008).

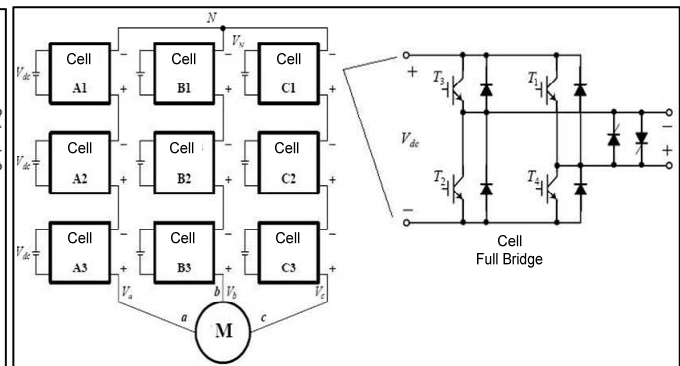


Figure 1. Seven level cascade multilevel inverter diagram

This work has analysed a fault-tolerant seven-level cascade multilevel inverter (Figure 1), based on system modularity for modifying the switches' operation sequence (PWM). It was focused on verifying the limits of the configuration simulating one and two cell failures, but maintaining balanced output voltage and low harmonic distortion according to the application's rated voltage.

Fault analysis

Several studies have dealt with power systems' fault analysis (Aguayo *et al.*, 2004; Pérez *et al.*, 2009; Quiroga 2009); applications typically have protection functions (Friedrich *et al.*, 2003), e.g. passive protection could become activated according to fault time duration (Sun *et al.*, 2010); 'passive protection can thus be turned off. Only two types of fault have been taken into account in semiconductor power devices (short and open circuit) which are described in the following section (Lu *et al.*, 2009).

En español

In English

res: en circuito abierto y en cortocircuito, las cuales se describen a continuación (Lu *et al.*, 2009).

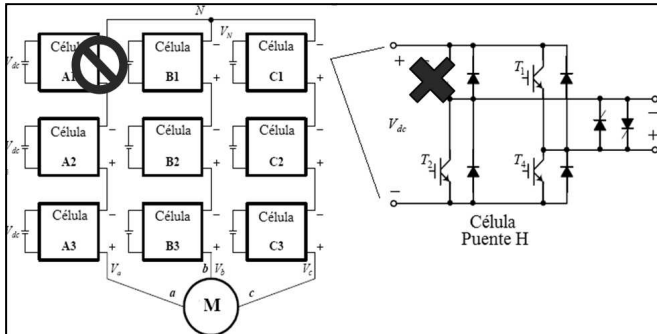


Figura 2. Diagrama eléctrico de la falla en circuito abierto con falla en una célula (fase A).

Modo de falla: circuito abierto

Esta falla se presenta cuando un interruptor permanece apagado (aun cuando la señal de compuerta esté activándolo) y se evita la transferencia de energía a través del convertidor hacia la carga; el diagrama eléctrico de la falla se presenta en la figura 2. La probabilidad de ocurrencia de este modo de falla es del 18% del total de fallas que se presentan en un inversor (Aguayo *et al.*, 2004). Al ocurrir este tipo de falla se pierden dos niveles de voltaje, uno positivo y otro negativo, tal y como se aprecia en la figura 3 al presentarse una falla en $t = 0,055$ seg.

Modo de falla: cortocircuito

Ocurre cuando un interruptor se cierra en presencia de otro incluso cerrado en la misma rama del inversor o trayectoria de la fuente, tal y como se presenta en Sun *et al.* (2010). En este caso tampoco es posible la transferencia de energía a través de la carga y se tiene una sobrecorriente entre el voltaje de alimentación y dos transistores. En función de la duración de la falla es posible que se activen las protecciones del sistema y suceda un paro total del sistema. La ocurrencia de esta falla es de un 15% del total de las que pueden darse en un convertidor (Aguayo *et al.*, 2004). De igual manera que en el caso anterior, se pierden dos niveles de voltaje a la salida.

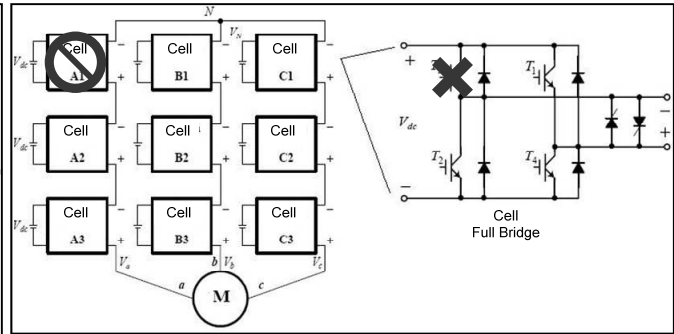


Figure 2. Diagram of a fault in an open circuit with a fault in one cell (phase A)

Open circuit fault type

This type of fault appears when a switch remains off (even when the gate signal has been turned on); this situation avoids energy transfer to the load (Figure 2 shows a diagram of this kind of fault). The failure probability of this type of fault is 18% regarding total converter faults. When a fault is produced in any converter cell, voltage level is lost (positive or negative) according to the failed switch. However, two voltage levels are lost regarding the failed cell once a failure has been isolated with the auxiliary switch. Figure 3 presents an example one this type of fault for $t=0.055$ seg.

Short-circuit fault type

This type of fault is presented when a switch is turned-on and the complementary switch of an inverter leg or a short circuit in a DC power supply (Sun *et al.*, 2010). Energy transfer to the load is thus not possible; the consequence is an overcurrent in the power supply and the corresponding transistors. Depending on fault time duration, system protection can be activated (the whole system may become shut down). The probability of this kind of fault is 15% of total converter failures (Aguayo *et al.*, 2004). Similar to the above, two output voltage levels are lost (Figure 3). Different situations can produce both types of failure, probably due to faulty gate control modulation an internal failure.

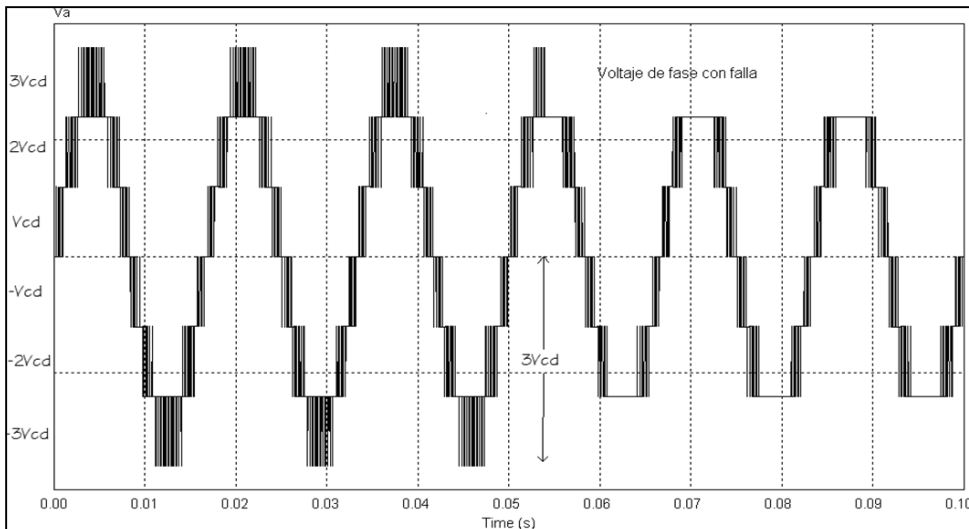


Figura 3. Voltaje de salida fase-neutro con falla en una célula (fase A).

En español

In English

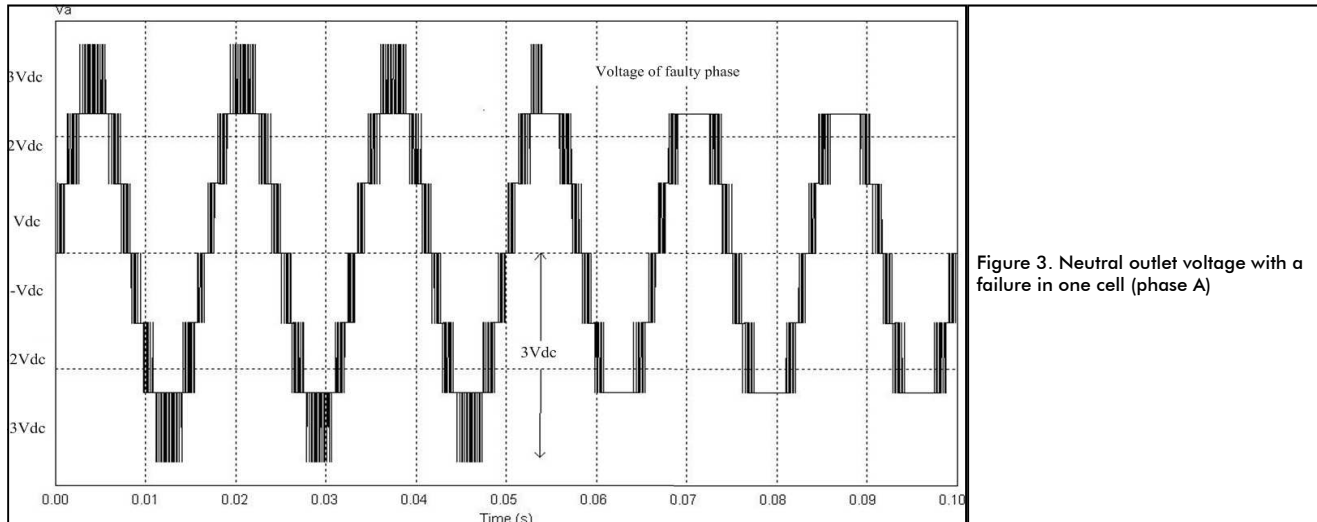


Figure 3. Neutral outlet voltage with a failure in one cell (phase A)

Esquema de tolerancia a fallas

Antes de implementar cualquier técnica de reconfiguración del sistema se requiere un análisis de diagnóstico de las fallas FDI (*Fault Detection and Isolation*). Para el FDI se pueden implementar diversos métodos, entre los que destacan: a) sensado de resistencia, b) transformaciones de la corriente de salida y c) sensado de V_{CE} (Edison *et al.*, 2006). Este trabajo adopta el método de actuador como sensor (Aguayo *et al.*, 2004; Rodríguez *et al.*, 2009) para la detección de la falla mediante el sensado de V_{CE} y V_{GE} .

Reconfiguración de la modulación IPDPWM

Acá se analiza la tolerancia de fallas en un inversor multinivel en cascada sin reemplazo físico de los componentes, lo cual se logra mediante el estudio de la técnica de modulación IPDPWM tal y como se presenta en LeiHu *et al.* (2005), asignando seis portadoras en fase (señales triangulares) a diferentes niveles de voltaje y comparando con una referencia (señal sinusoidal) a los fines de determinar el patrón de conmutación de los interruptores. Las señales generadas de la comparación se asignan a los seis pares de interruptores (guardando una simetría).

La propuesta del trabajo es analizar los límites del índice de modulación y aprovechar la simetría de los interruptores con propósitos de reconfiguración; para incluir las técnicas de tolerancia a fallas se hace necesario llevar a cabo una redundancia material (modificación de los componentes), en otras palabras, la modulación por *software* (señales de compuerta) implica una reconfiguración en *hardware* (dispositivos semiconductores), pero no hay redundancia material.

Reconfiguración para una célula con falla

Cuando ocurre cualquier tipo de falla se tiene que aislar y dejar de conmutar a la célula correspondiente con falla; con fines explicativos se considera que la célula que falla es la A1 (figura 2). Las señales que le corresponden a la célula con falla son las de los extremos superior e inferior (figura 4). Por lo tanto, se hace necesario modificar la señal portadora (que en el caso de la figura 4 es sinusoidal) por una forma de onda que evite llevar a

Fault-tolerant scheme

Fault detection and isolation (FDI) analysis must be done before implementing any system reconfiguration technique. Several methods can be used for FDI: sensing resistance, transformation of the output current and sensing V_{CE} (Edison *et al.*, 2006). The actuator as sensor method (Aguayo *et al.*, 2004; Rodríguez *et al.*, 2009) is used in this work for fault detection through V_{CE} and V_{GE} .

In-phase pulse width modulation (IPDPWM) reconfiguration

This paper analyses the fault-tolerant technique in a cascade multilevel inverter without physical component replacement; this method involved the in-phase pulse width modulation (IPDPWM) technique (Lei Hu *et al.*, 2005), assigning six phase carrier signals (triangles) at different voltage levels compared to a reference (sine wave) for determining the switching pattern. The signals generated from comparing them were assigned to the six pairs of switches (keeping symmetrical waveform).

The idea was to analyse modulation index limits and use the semiconductor power devices' symmetry for reconfiguration purposes; material redundancy (modification of components) is necessary for the fault-tolerant technique, in other words, the modulation software (gate signals) implies hardware reconfiguration (semiconductor power devices), but there is no material redundancy.

Reconfiguration for only one faulty cell

When any fault occurs (in a semiconductor power device) the switch to the corresponding cell must be isolated and stopped. For example, considered that cell A1 was faulty (see Figure 2), then the signals corresponding to the fault cell are those at the upper and lower ends (see Figure 4). The carrier signal must thus be modified (a sinusoidal signal in Figure 4) for a waveform to avoid carrying out the comparison and thus leave cell A1 out of

En español

In English

cabo la comparación y de esta manera dejar a la célula A1 fuera de operación. La figura 5 muestra esta forma de onda.

Para las otras dos referencias (fases B y C), estas deben compensar en cierto instante la energía que entregaba la célula dañada. En la tabla I se dan las expresiones que describen las referencias trifásicas en un ciclo de línea (60 Hz), información adaptada de la referencia *LeiHu et al. (2005)*. Debe tenerse en cuenta que los datos de esta tabla muestran los límites de los índice de modulación, los cuales son función de la aplicación. En la figura 6 se muestran las formas de onda de las referencias descritas por dichas expresiones, y se puede observar que el índice de modulación en las otras fases es forzado a incrementarse justamente en el momento en que la célula sometida al efecto de la falla deja de transferir energía a la carga.

service. Figure 5 shows the waveform.

The other two cells (phase B and C) must compensate for the energy delivered by the faulty cell. Table I shows the expressions describing three-phase references in line cycle (60Hz) information (adapted from *Lei Hu et al., 2005*); this data shows the limits of the modulation index which is a function of the application. Figure 6 shows the references' waveforms described by these expressions; it can be seen that the modulation index in the other phases was forced to increase just when the faulty cell stopped transferring energy to the load.

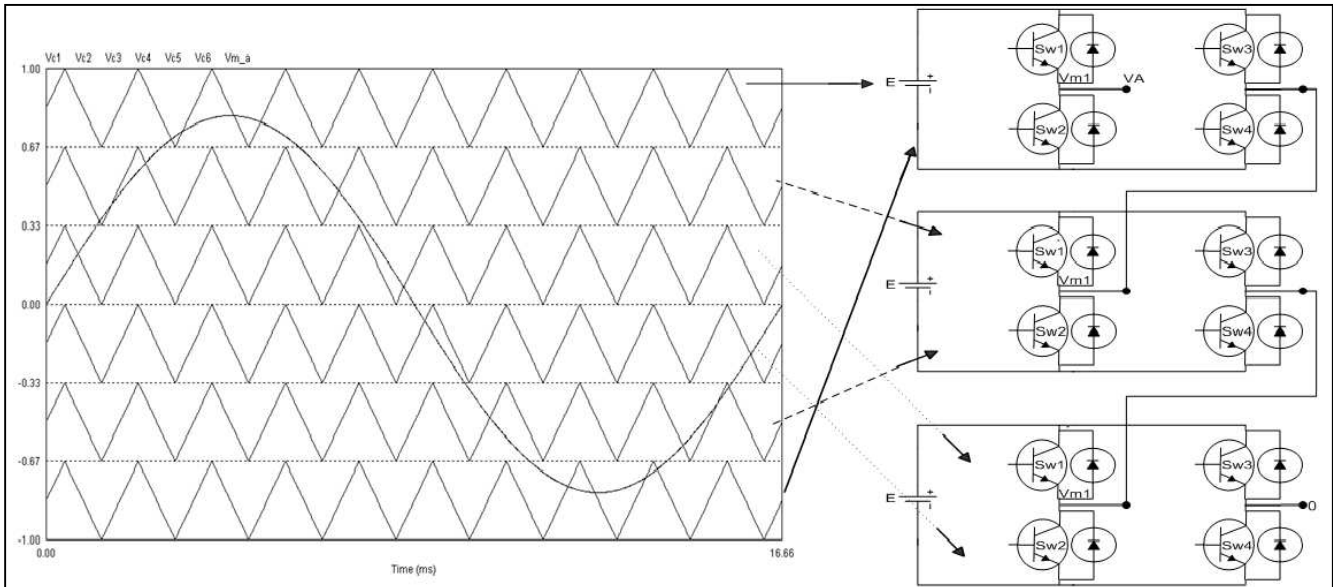


Figura 4. (Izquierda) Portadoras y referencia. (Derecha) Células y asignación de señales.

Figure 4. (Left) Carriers and reference, (right) cell and signal assignment

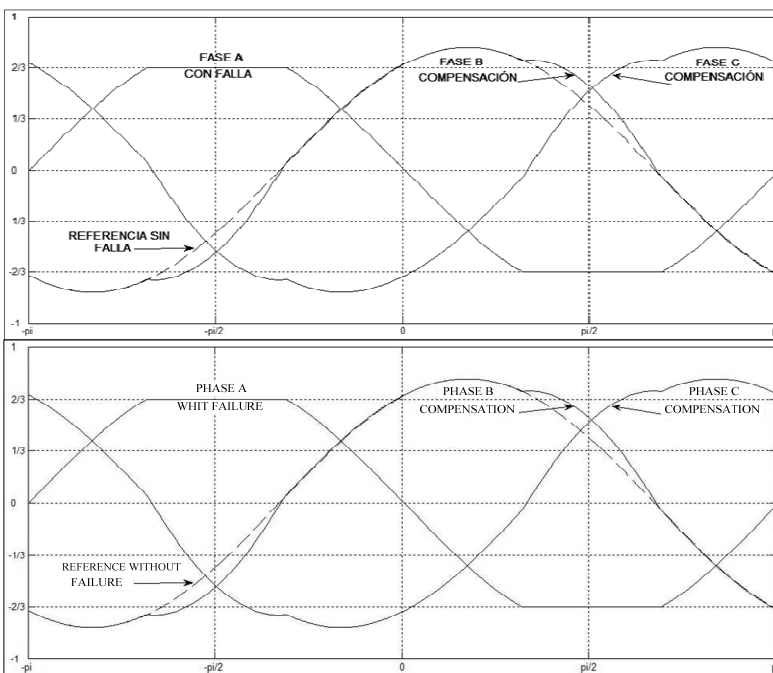


Figura 5. Referencia para la fase que presenta una célula con falla y portadoras de los extremos; se omiten las demás portadoras.

Figure 5. The phase having the faulty cell fault and carriers; other carriers are omitted

Con esta reconfiguración no importa qué célula tenga el interruptor con falla, siempre y cuando se reasignen adecuadamente las señales de compuerta, ya que las portadoras al extremo superior e inferior se asignan a la célula con falla.

It does not matter which cell has switch failure with this reconfiguration, provided that gate signals are properly reassigned since the carriers in the top and bottom cell are assigned to the faulty.

Límite de / Limit of ωt	$v_{m a}(\omega t)$	$v_{m b}(\omega t)$	$v_{m c}(\omega t)$
$\left[\frac{\text{asin}(N-3)}{M*(N-1)} \quad \pi - \frac{\text{asin}(N-3)}{M*(N-1)} \right]$	$\frac{N-3}{N-1}$	$\frac{N-3}{N-1} - \sqrt{3}M \sin(\omega t + \pi/6)$	$\frac{N-3}{N-1} + \sqrt{3}M \sin(\omega t + 5\pi/6)$
$\left[\pi + \frac{\text{asin}(N-3)}{M*(N-1)} \quad 2\pi - \frac{\text{asin}(N-3)}{M*(N-1)} \right]$	$\frac{3-N}{1-N}$	$\frac{N-3}{N-1} + \sqrt{3}M \sin(\omega t + 7\pi/6)$	$\frac{N-3}{N-1} - \sqrt{3}M \sin(\omega t + 11\pi/6)$
En otros límites / Other limits	$M \sin(\omega t)$	$M \sin\left(\omega t - \frac{2}{3}\pi\right)$	$M \sin\left(\omega t + \frac{2}{3}\pi\right)$

Tabla 1. Expresiones para las referencias con una célula que presenta falla.

Table 1. Expression for the reference signal with a multilevel inverter with one faulty cell

Hasta el momento solo se ha manifestado la solución cuando se presenta una célula con falla, pero con este método es posible mantener operando al sistema aun si la falla se presenta en dos células de una fase, como se muestra a continuación.

So far, the solution has been presented with only one faulty cell; however the system can keep running with this method even if the fault is present in two-cell stage, as shown below.

Reconfiguración para dos células con falla

Al haber dos células con falla en una misma fase la señal de referencia se modifica para dejar de compararse con las cuatro portadoras correspondientes, por lo que el voltaje de fase ahora tiene sólo tres niveles (una célula). Por lo tanto, las otras referencias deben compensar durante un tiempo mayor, tal y como se indica en la figura 6. En la tabla II se presentan las expresiones que describen las formas de onda de las referencias en función de los límites de los índices de modulación.

Reconfiguration for a cell having two faults

In this case, when two cells are faulty (in the same phase), the reference waveform becomes modified and does not compare with the four corresponding carriers, so phase voltage now has only three levels (only one cell working). The other references should compensate for a longer period (Figure 6). Expressions describing waveforms for references based on modulation index limits are presented in Table 2.

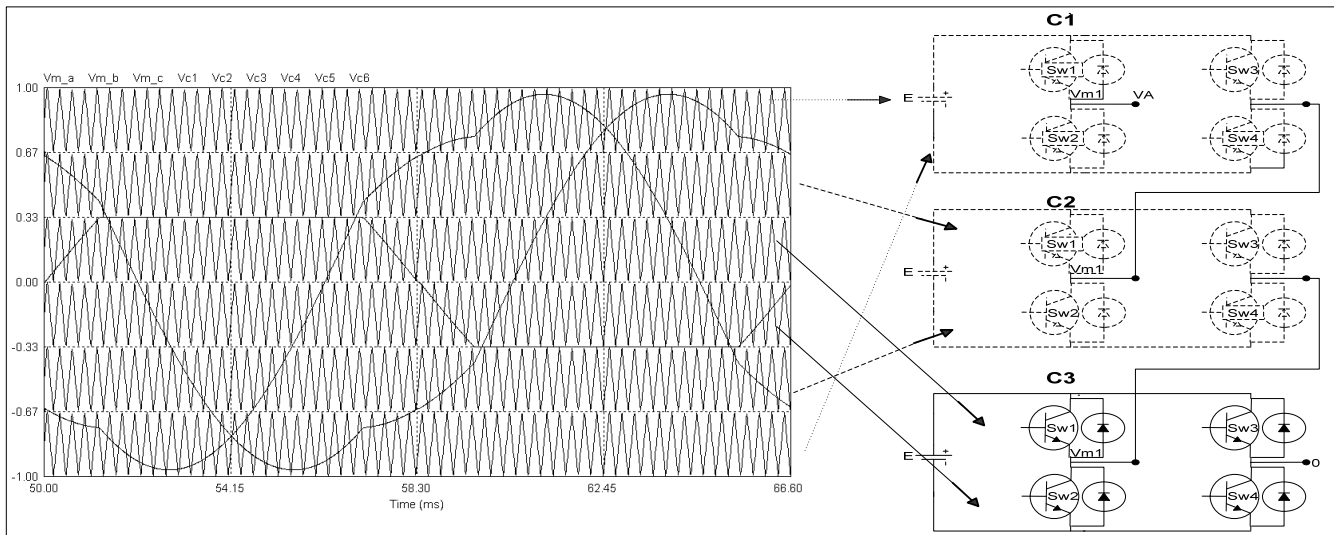


Figura 6. Señales moduladoras para compensar fallas en dos células de una fase del convertidor multinivel.

Figure 6. Reference waveforms to compensate for faults in two cells in only one phase of the multilevel inverter.

Límite de / Limit of ωt	$v_{m a}(\omega t)$	$v_{m b}(\omega t)$	$v_{m c}(\omega t)$
$\left[\frac{\text{asin}(N-5)}{M*(N-1)} \quad \pi - \frac{\text{asin}(N-5)}{M*(N-1)} \right]$	$\frac{N-5}{N-1}$	$\frac{N-5}{N-1} - \sqrt{3}M \sin(\omega t + \pi/6)$	$\frac{N-5}{N-1} + \sqrt{3}M \sin(\omega t + 5\pi/6)$
$\left[\pi + \frac{\text{asin}(N-5)}{M*(N-1)} \quad 2\pi - \frac{\text{asin}(N-5)}{M*(N-1)} \right]$	$\frac{5-N}{1-N}$	$\frac{N-5}{N-1} + \sqrt{3}M \sin(\omega t + 7\pi/6)$	$\frac{N-5}{N-1} - \sqrt{3}M \sin(\omega t + 11\pi/6)$
En otros límites / Other limits	$M \sin(\omega t)$	$M \sin\left(\omega t - \frac{2}{3}\pi\right)$	$M \sin\left(\omega t + \frac{2}{3}\pi\right)$

Tabla 2. Expresiones para las referencias con dos células que presentan falla.

Table 2. Expressions for references with two faulty cells

Validación con resultados en simulación

Para realizar la validación del método propuesto se utilizaron el simulador PSIM6.0 y Matlab-Simulink7.0. En el primero se implementó la parte de potencia (convertidor y carga) y en el segundo la parte de control.

En la figura 7 se presentan las señales de las referencias para las tres fases, antes y después de que ocurre una falla (en $t = 0,55$ seg), con un índice de modulación de 0,8 ($M = 0,8$), una frecuencia de referencia de 60 Hz ($f_m = 60$ Hz) y una frecuencia de conmutación de 3.600 Hz ($f_c = 3.600$ Hz). En la figura 8 se indica el voltaje de la fase A en las mismas condiciones descritas, donde se aprecia una degradación de dos niveles (uno superior y otro inferior) en el momento en que se presenta la falla.

Validation with simulation results

The PSIM6.0 Simulator and Matlab-Simulink7.0 were used to validate the proposed method regarding power (converter and load) and control.

Figure 7 shows the three phase waveform; before and after that a failure occurred (at $t = 0.55$ sec), having 0.8 modulation index value ($M = 0.8$), 60 Hz frequency ($f_m = 60$ Hz) for the reference and 3,600 Hz triangular waveform frequency value ($f_c = 3600$ Hz). Figure 8 shows phase A voltage in the same conditions described above, showing degradation in two levels (a higher and a lower level) when the failure occurred.

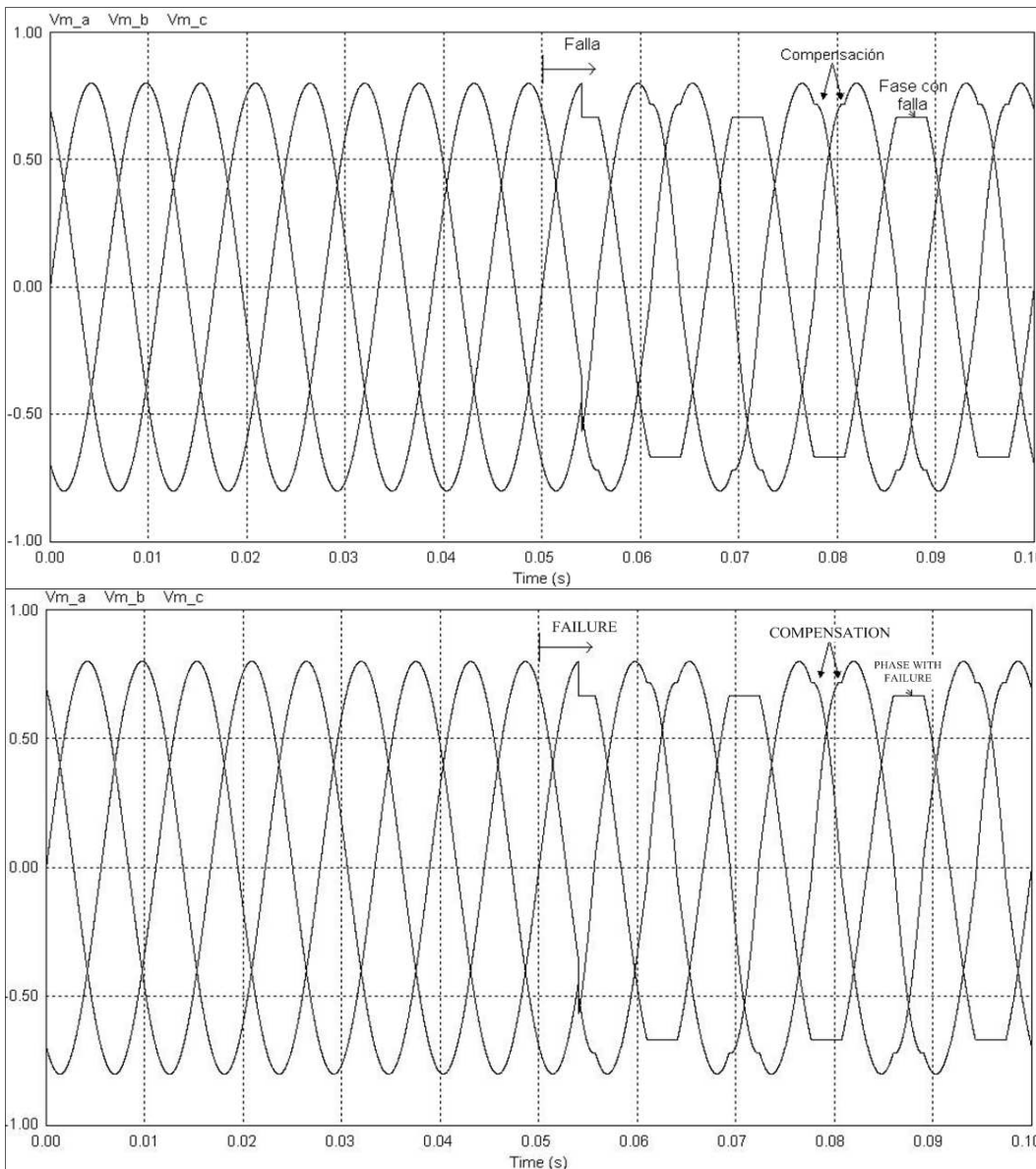


Figura 7. Resultados de simulación. Señales de las referencias de las tres fases, la fase A con falla.

Figure7. Simulation results: reference waveforms for the three phases (phase A failure)

En la figura 9 se aprecia el voltaje de línea a línea (V_{ab}), observándose que, en este caso, hay mayor cantidad de niveles, por

Figure 9 shows that the line to line voltage (V_{ab}) involved a greater amount of levels due to voltage measurement between

En español

In English

razón de que la medición del voltaje entre línea representa la combinación de dos voltajes de fase; además mantiene sus niveles de voltaje incluso con presencia de la falla. Una parte importante de los sistemas trifásicos es la del balance de los voltajes entre fases (sobre todo cuando la carga es un motor). Con la finalidad de verificar dicho balance de voltaje se presenta en la figura 10 el diagrama vectorial del sistema, donde se tiene una mínima degradación en el voltaje de fase A (reducción del 6%), mientras que las otras fases compensan para que los voltajes de línea permanezcan sin cambio alguno (incremento del 22%). Dicho en otras palabras, la potencia es constante debido a que la energía que no logra suministrar la fase con falla se compensa con la que suministran las otras fases.

lines representing the combination of two phase voltages. Voltage level was maintained even when a fault occurred. An important part of three-phase systems is voltage balance between phases (especially when an induction motor is the load). Figure 10 shows the system vector diagram for verifying such voltage balance, having minimum degradation of phase A voltage (6% reduction), while the other phases were compensated for, so that line voltage remained unchanged (22% increase). In other words, the power remained constant because the energy which was not provided by the faulty phase was compensated for by the other phases (lacking faults).

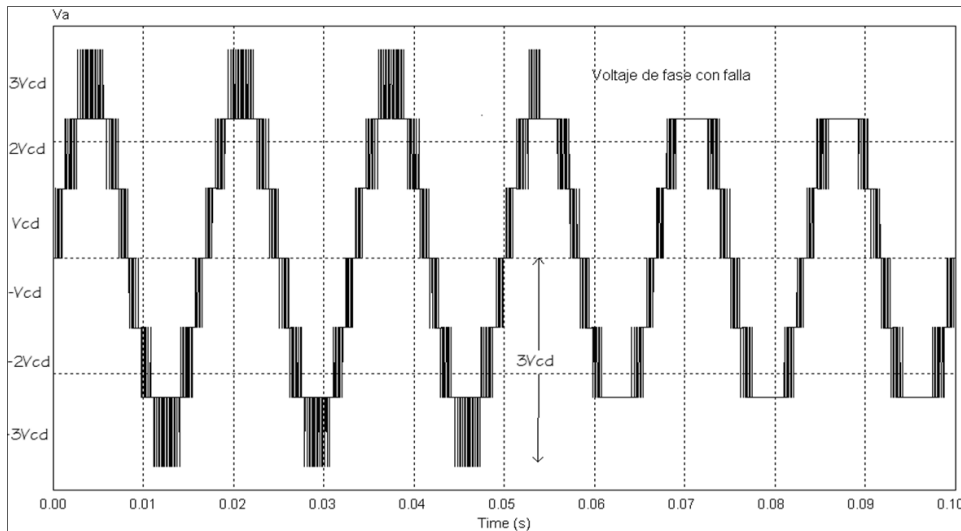


Figura 8. Resultados de simulación. Voltaje fase-neutro de la fase dañada. $M = 0,8$; $f_m = 60$ Hz; $f_c = 3.600$ Hz; $m_r = 60$.

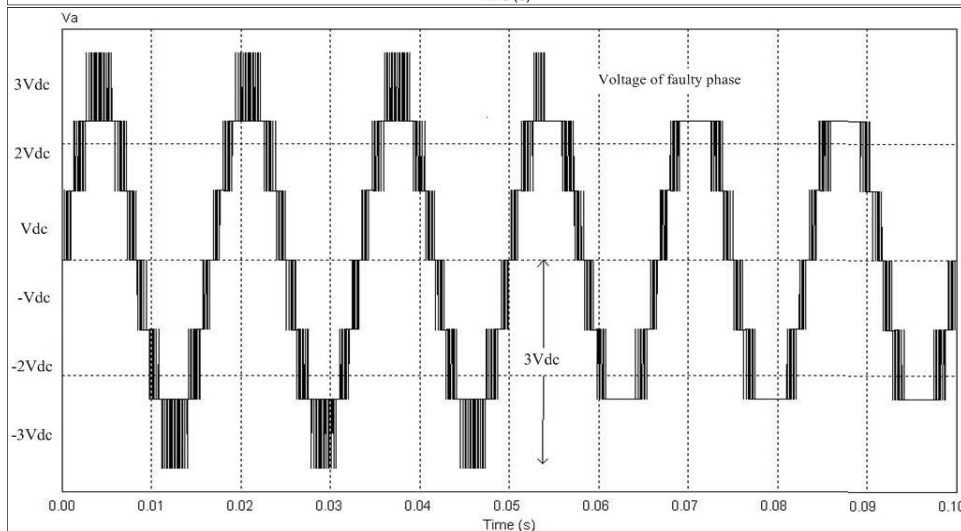


Figure 8. Simulation results: damaged phase phase-neutral voltage. $M = 0,8$, $f_m = 60$ Hz, $f_c = 3,600$ Hz $m_r = 60$

Hasta el momento los resultados de la validación del método son los esperados, pero ¿qué ocurre cuando en dos convertidores, en una misma fase, hay falla? En la figura 11 se presentan las señales de la referencias para las tres fases, antes y después de la ocurrencia de las dos fallas (ambas ocurren al mismo tiempo y en celdas de una misma fase); asimismo, se revela el voltaje de la fase A, el cual exhibe una degradación de cuatro niveles con respecto a la forma de onda sin fallas; en este caso la forma de onda de salida es la clásica de un convertidor inversor de tres

So far, validation method results would be as expected, but occurring with two full bridges when only one was faulty. Figure 11 presents three phase signals, before and after the occurrence of two failures (two failures occurred at the same time and in different cells of only one phase). The voltage of phase A having a 4-level degradation regarding waveform without fault is also presented; in this case, output waveform was the classic case of a 3-level inverter converter (Figure 12).

niveles (v. figura 12).

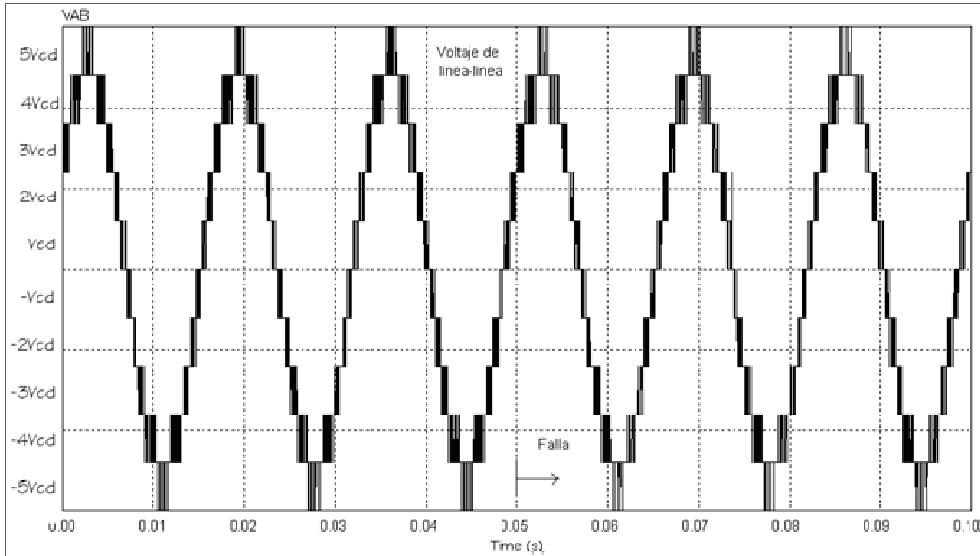


Figura 9. Resultados de simulación. Voltaje de línea Vab antes y después de la falla.

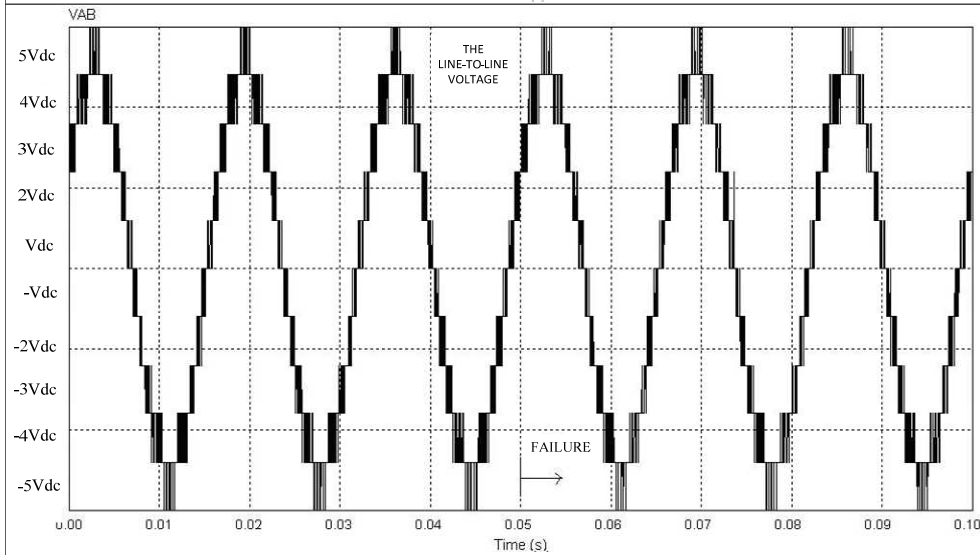


Figura 9. Resultados de simulación. Voltaje de línea Vab antes y después de la falla.

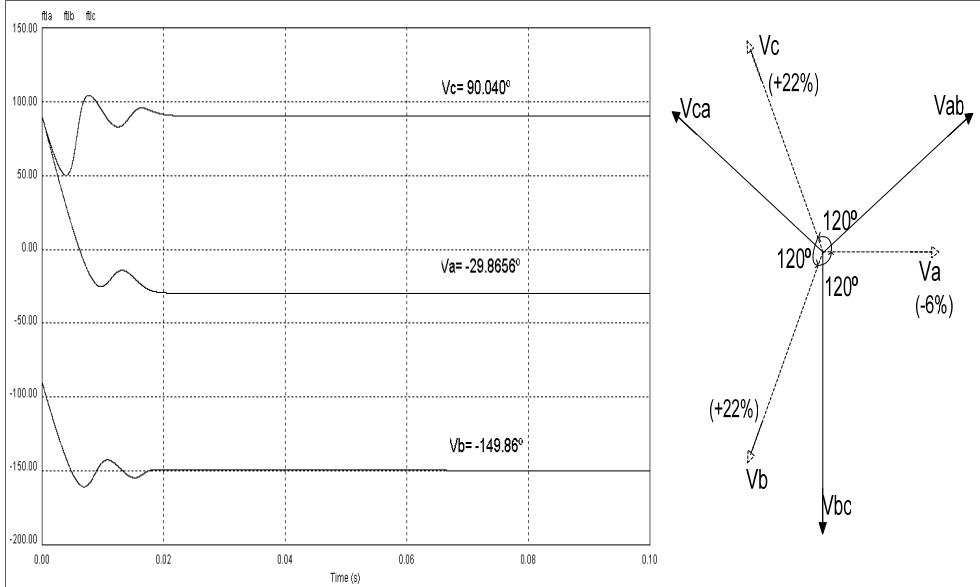


Figura 10. Diagrama vectorial del sistema.

Figure 10. Vector system diagram

En español

In English

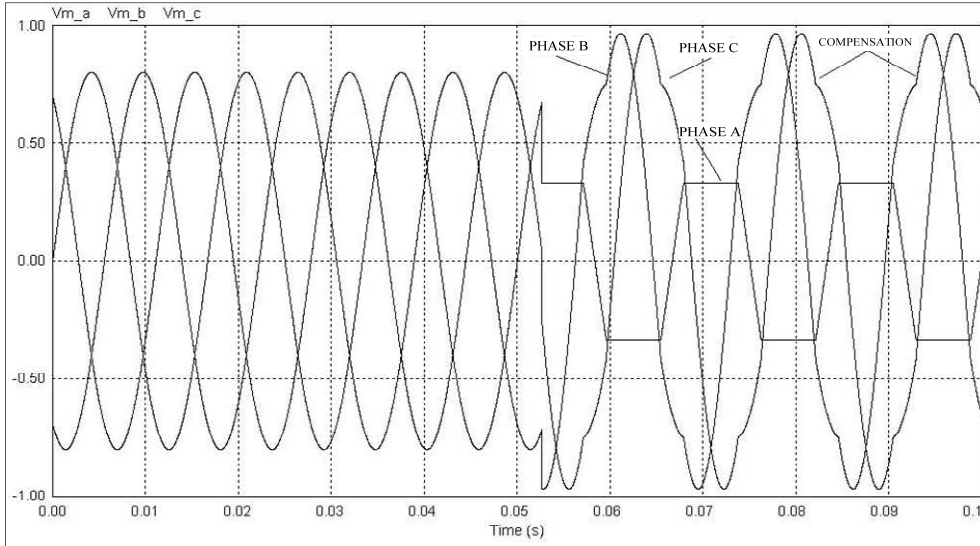


Figura 11. Resultados de simulación. Señales de las referencias de las tres fases, la fase A con falla.

Figure 11. Simulation results: three phase voltage waveform, phase A having a fault

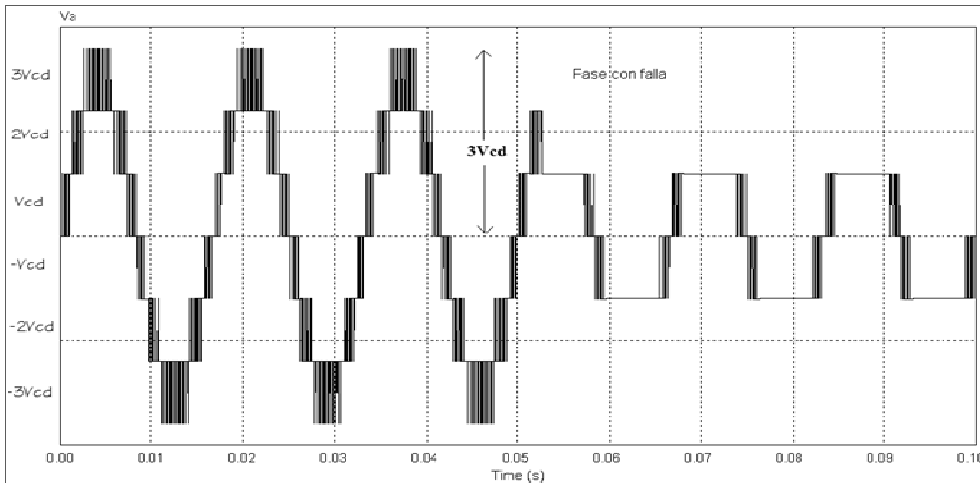


Figura 12. Resultados de simulación. Voltaje fase-neutro de la fase dañada. $M = 0,8$; $f_m = 60$ Hz; $f_c = 3.600$ Hz; $m_f = 60$.

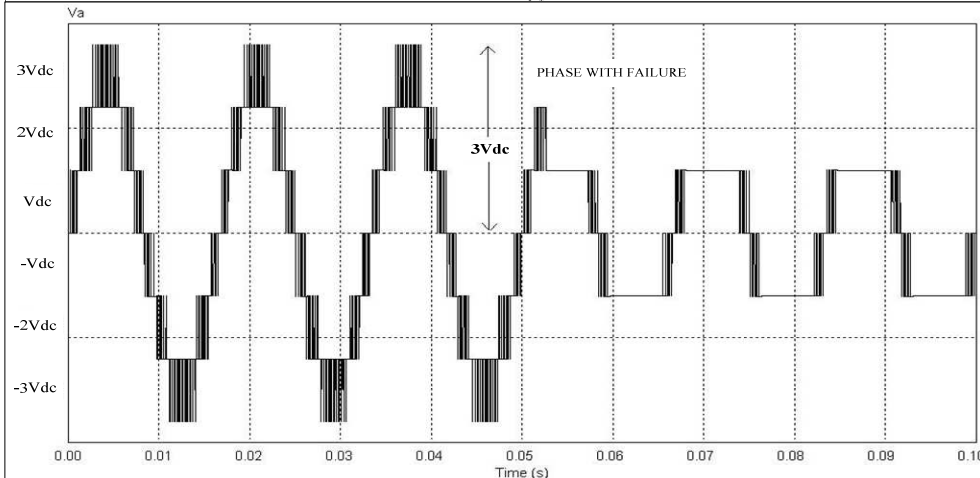


Figure 12. Simulation results: damaged phase phase-neutral voltage. $M = 0.8$, $f_m = 60$ Hz, $f_c = 3,600$ Hz $m_f = 60$

En la figura 13 se expone el voltaje de línea V_{ab} . En la gráfica se observa que, al presentarse la falla, exhibe una degradación de dos niveles en el voltaje de salida, de igual manera que el voltaje revela una degradación; es de interés conocer en estos momentos si el sistema aún permanece balanceado o, dicho en otras palabras, si la energía que no logra suministrar la fase con falla se compensa con la energía que proporcionan las otras fases que

Figure 13 shows line voltage V_{ab} . The diagram shows that introducing the fault led to degradation of 2 output voltage levels, in the same way that voltage became degraded. It is interesting to know whether a system still remains balanced, i.e. if energy failing to provide a phase with failure is compensated for by energy supplying other stages which are not faulty. Figure 14 shows the vector diagram of a system having strong voltage phase degrada-

En español

In English

no tienen fallas. Para verificar este comportamiento se ofrece en la figura 14 el diagrama vectorial del sistema, donde se observa una fuerte degradación en el voltaje de fase A (reducción del 49%), mientras que las otras fases compensan para que los voltajes de línea permanezcan sin cambio alguno y el sistema siga balanceado (incremento del 20%).

tion (49% reduction), while the other phases compensated for it so that line voltages remained unchanged and the system was balanced 20% increase) to verify such pattern.

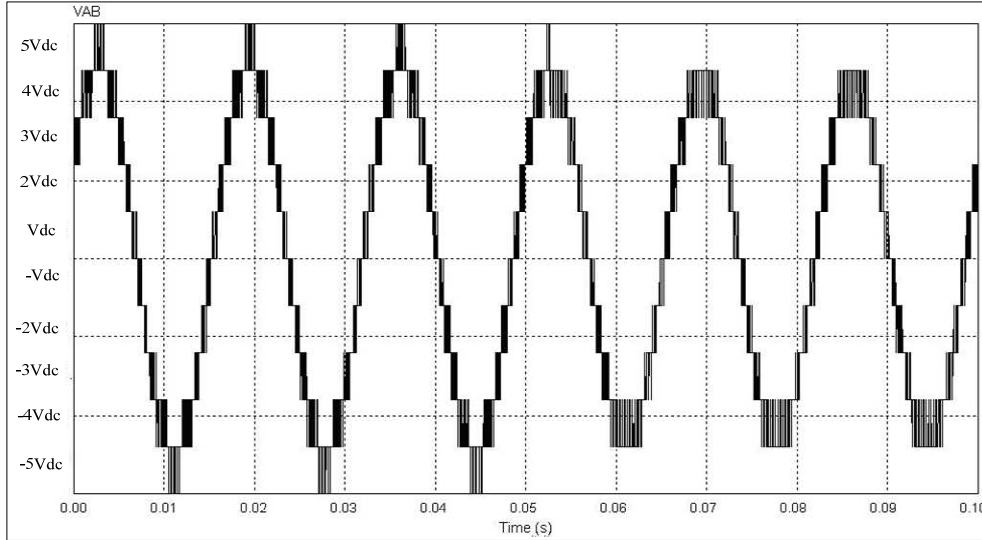


Figura 13. Resultados de simulación. Voltaje de línea Vab antes y después de la falla.

Figure 13. Simulation results: voltage line Vab before and after a failure

Resultados experimentales

Experimental results

Se implementó de manera experimental un inversor en cascada de siete niveles empleando dispositivos semiconductores de potencia. En la tabla III se presentan las condiciones experimentales.

The system was simulated using an experimental platform involving a seven-level cascade multilevel inverter, using semiconductor power devices. Table 3 presents the experimental conditions.

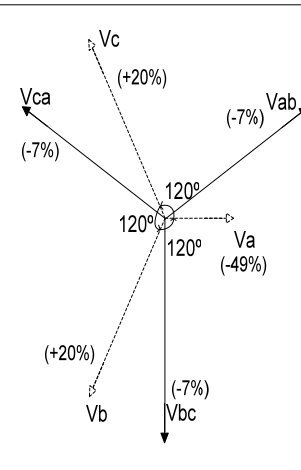
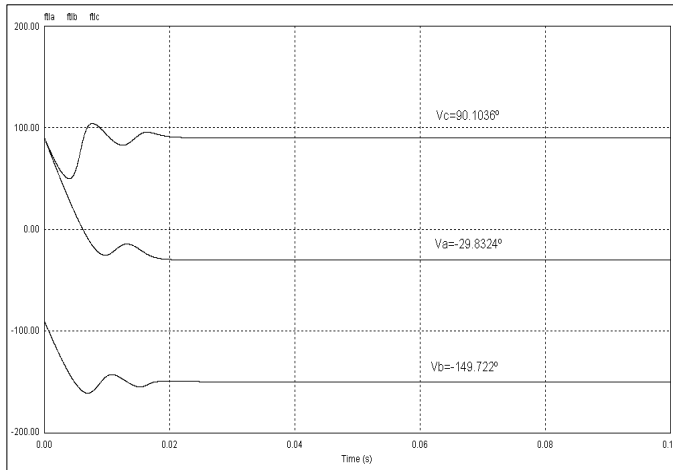


Figura 14. Diagrama vectorial del sistema.

Figure 14. Vector system diagram

Tabla 3. Condiciones experimentales.

Table 3. experimental conditions

Parámetro	Valor
Voltaje de operación por célula (tres células por fase)	20 V
Carga	Resistencia = 10Ω, Inductancia = 1,5 mH
Frecuencia de conmutación	3,6 kHz
Frecuencia del voltaje de salida	60 Hz

Parameter	Value
Cell input voltage (3 cells per phase)	20V
Load	Resistance=10Ω, Inductance=1.5mH
Switching frequency	3.6kHz
Output voltage frequency	60Hz

En español

In English

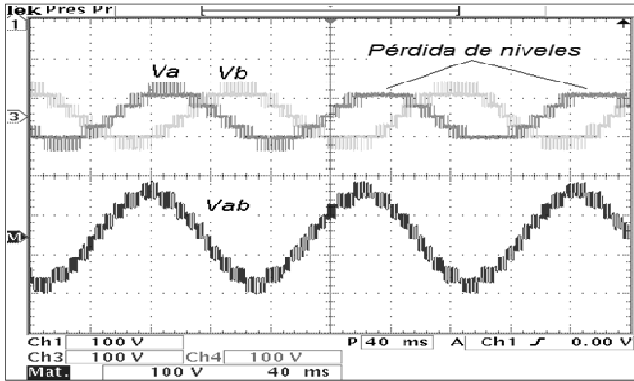


Figura 15. Resultados experimentales V_{ab} ($M = 0,8$).

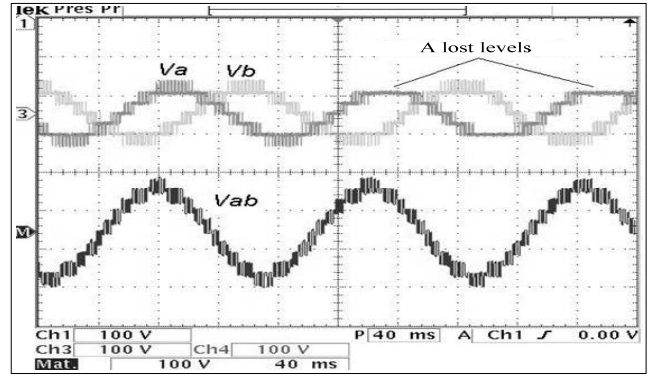


Figure 15. Experimental results with V_{ab} ($M = 0.8$)

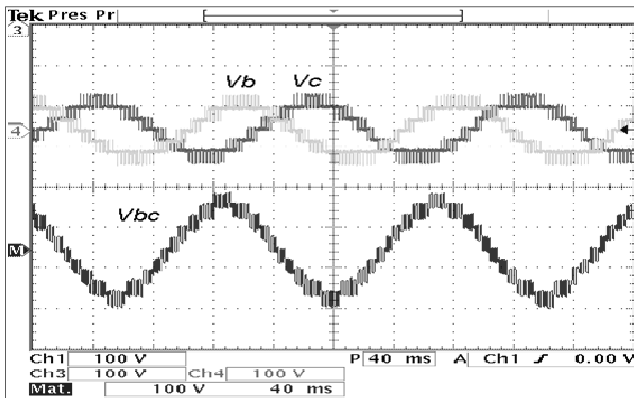


Figura 16. Resultados experimentales V_{bc} ($M = 0,8$).

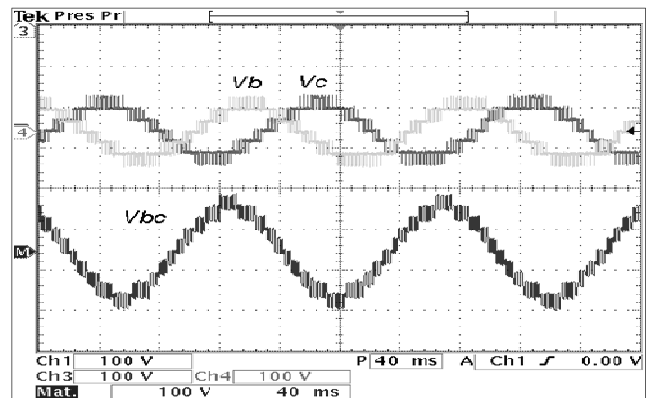


Figure 16. Experimental results with V_{bc} ($M=0.8$)

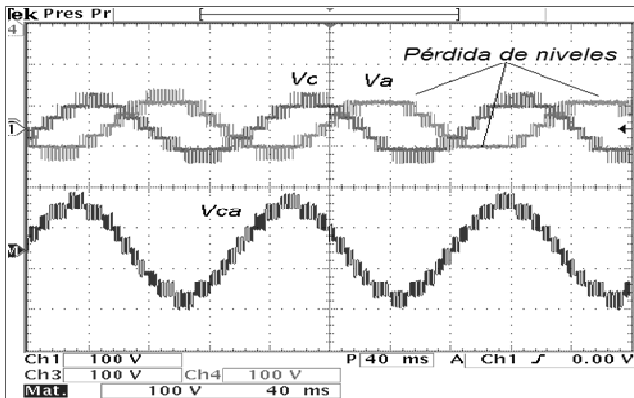


Figura 17. Resultados experimentales V_{ca} ($M = 0,8$).

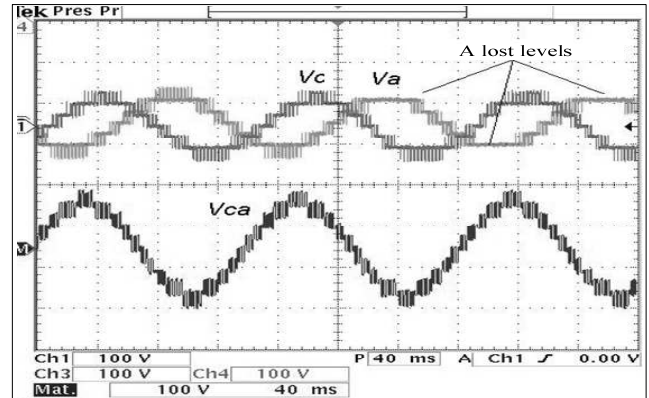


Figure 17. Experimental results with V_{ca} ($M=0.8$)

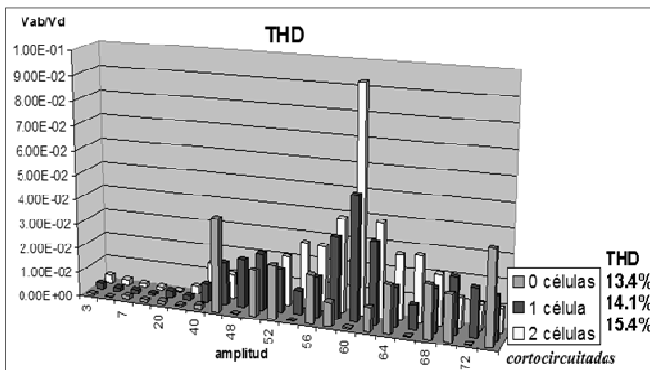


Figura 18. THD para V_{ab} , sin falla, con falla en una célula y dos células con fallas.

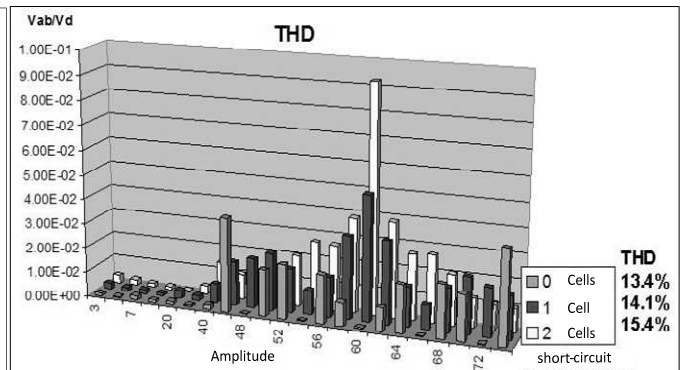


Figure 18. THD for V_{ab} , without failure, failure in a cell, with two faulty cells

En las figuras 15, 16 y 17 se dan los resultados del voltaje entre dos líneas y su respectiva fase durante la operación del sistema sin falla y cuando falla un interruptor en una célula de la fase A. Como puede notarse, el efecto de pérdida de niveles solo se da en la señal de la fase A y los voltajes entre fases permanecen sin cambios visibles.

Para finalizar el análisis, en la figura 18 se presenta el perfil THD del voltaje de línea V_{ab} . Al tener falla en una célula aparecen algunos armónicos de tercer orden, mientras que cuando dos células tienen falla la amplitud de dichos armónicos se incrementa. El aumento de los armónicos es de alrededor del 1% por cada célula que tiene un interruptor con avería. Los armónicos de bajo orden (3, 5, 7 y 11) se incrementan en un 0,5% en promedio.

Conclusiones

Este trabajo despliega una reconfiguración IPDPWM que, además de fácil de implementar, presenta la ventaja de mantener un voltaje balanceado de línea a línea aun después de ocurrir falla en un interruptor con una o dos células del sistema. Esto es importante en cargas que requieren operar con voltajes de línea balanceados, como los motores de inducción. Asimismo, la estrategia de reconfiguración permite que el sistema se repare sin que salga de operación. Se muestran resultados en simulación y de manera experimental para la validación del método.

Referencias / References

- Aguayo, J., Claudio, A. Vela, L.G. Gentile, S., A survey of fault diagnosis methods for induction motors drives under inverter fault conditions., International Conference of Electrical and Electronics Engineering, (ICEEE). Acapulco Guerrero, México. June 2004, pp. 367 - 372
- Barriuso, P., Dixon J., Flores, P., Morán, L., Fault tolerant reconfiguration system for asymmetric multilevel converters using bi-directional power switches., IEEE Trans. Ind. Electron, vol. 56, no. 4, pp. 1300-1306, March 2009.
- Bin, W., High Power Converters and AC Drives., Wiley Interscience, Toronto Canada, 2006, pp. 80-87.
- Cortés, C.A., Deprez, W., Driesen, J., Pérez, J.J., Determinación de pérdidas eléctricas en motores de inducción modelados electromagnéticamente con el método de los elementos finitos., Ingeniería e Investigación, Universidad Nacional de Colombia, Bogotá, Colombia. Vol. 28, Núm. 3, diciembre, 2008, pp. 64-74
- Da Silva, E.R., Lima, W.S., de Oliveira Jr., A.S., Jacobina, C.B., Detection and compensation of switch faults in a three level inverter., Power Electronics Specialists Conference PESC'06, Jeju, Korea. June 2006, pp. 1309-1315.
- De Lillo L., Empringham, L., Wheeler, P.W., Khwan-On, S., Gerada, C., Othman, M.N., Xiaoyan H., Multiphase power converter drive for fault-tolerant machine development in aerospace application., IEEE Trans. Ind. Electron., vol. 57, no. 2, pp. 575-583, Feb. 2010.
- Francois, B., Hautier, J.P., Design of a fault tolerant control system for a NPC multilevel inverter., Volume 4, No. 8-11. 28th Annual Conference of IEEE Industrial Electronics Conference (IECON). Sevilla, Spain. November 2002, pp. 1075-1080.

Figures 15, 16 and 17 present the results regarding voltage between two lines and their respective phases during the operation of a system without any faults and when the fault occurred in a semiconductor power device in a phase A cell. As can be seen, the effect of loss of levels was only displayed during phase A and voltages between phases had no visible changes.

Figure 18 presents line voltage V_{ab} and the THD profile. Third harmonics appear when a fault occurs in a cell whilst the amplitude of such harmonics increases when two cells are faulty. The increase in harmonics is about 1% for every cell having a faulty switch. Low order harmonics (3, 5, 7 and 11) increased by 0.5% on average.

Conclusions

This work has presented a reconfiguration using IPDPWM which, although easy to implement, has the advantage of maintaining balanced line to line voltage even after a fault happens in a switch with one or two cells in a particular system. This is important regarding charges requiring operation with balanced line voltages, such as induction motors. The reconfiguration strategy allowed the system to become repaired without having to suspend operation. Simulation and experimental results have been shown for validating the method.

- Fuchs, F.W., Some Diagnosis Methods for Voltage Source Inverters In Variable Speed Drives with Induction Machines A Survey., 29th Annual Conference of IEEE Industrial Electronics Conference(IECON). Virginia, USA. Volume 2, Nov. 2003, pp. 1378 - 1385.
- Gun-Tae, P., Tae-Jin, K., Dae-Wook, K., Dong-Seok, H., Control Method of NPC Inverter for Continuous Operation Under One Phase Fault Condition., Power Electronics Specialists Conference, PESC'04, Aachen, Germany. June 04, pp. 2188-2193
- Jae-Chu, L., Tae-Jin, K., Dae-Wook, K., Dong-Seok, H., A Control Method for Improvement of Reliability in Fault Tolerant NPC Inverter System., Power Electronics Specialists Conference, PESC'06, Jeju, Korea. June 2006, pp. 1304-1308.
- Khomfoi, S., Tolbert, L.M., A Reconfiguration Technique for Multilevel Inverters Incorporating a Diagnostic System Based on Neural Network., Computers in Power Electronics, COMPEL. Troy, New York, USA. July 2006, pp. 317-323.
- Lei, H., Mingyao, M., Alian, C., Xiangning, H., Reconfiguration of Carrier-based Modulation Strategy for Fault Tolerant Multilevel Inverters., 31th Annual Conference of IEEE Industrial Electronics Conference, IECON. Carolina, USA. Nov. 2005, pp. 1048-1053.
- Lezana, P., Aguilera, R., Rodríguez, J., Fault detection on multi-cell converter based on output voltage frequency analysis., IEEE Trans. Ind. Electron., vol. 56, no. 6, pp. 2275-2283; June 2009.
- Lu, B., Sharma, S., A literature review of IGBT fault diagnostic and protection methods for power inverters., IEEE Trans. Ind. Appl., vol. 45, no. 5, pp. 1770 - 1777. Sep./Oct. 2009.

En español

- Mingyao, M., Lei, H., Alian, C., Reconfiguration of Carrier-Based Modulation Strategy for Fault Tolerant Multilevel Inverters., *IEEE Transactions on Power Electronics*, vol. 22, No. 5, Sep. 2007, pp 2050-2060.
- Pérez Hernández, L., Mora Flórez, J., Bedoya Cebayos, J., A linear approach to determining an SVM-based fault locator's optimal parameters., *Ingeniería e Investigación*, Universidad Nacional de Colombia, Bogotá, Colombia Vol. 29, Núm. 1, abril, 2009, pp. 76-8.
- Quiroga, J. E., Detección de cortocircuito en el devanado de un motor sincrónico de imanes permanentes usando corriente de secuencia negativa en dominio tiempo., *Ingeniería e Investigación*, Universidad Nacional de Colombia, Bogotá, Colombia. Vol. 29, Núm. 2, agosto, 2009, pp. 48-52
- Rodríguez, M. A., Claudio, A., Theillio, D., Vela, L.G., Hernández, L., Strategy to replace the damaged element for fault-tolerant induction motor drive., in *Proc. IEEE Appl. Power Electron. Conf.*, Washington, DC, February 15-19, 2009, pp. 343-346.
- Sanmin, W., Bin, W., Fahai, L., Xudong, S., Control Method for Cascade H-Bridge Multilevel Inverter with Faulty Power Cells., *Applied Power Electronics Conference and Exposition, APEC*. Miami Beach, Florida, USA. Volume 1, No 9-13 Feb. 2003, pp. 261 - 267
- Sanmin, W., Bin, W., Rizzo, S., Zargari, N., Comparison of con-

In English

- trol schemes for multilevel inverter with faulty cells., *30th Annual Conference of IEEE Industrial Electronics Conference, IECON*. Busan, Korea. Volume 1, No 2-6 Nov. 2004, pp. 1817 - 1822
- Shengming, L., Longya, X., Strategies of Fault Tolerant Operation for Three-Level PWM Inverters., *IEEE Trans. Power Electronics*, Vol. 21, No. 4, July 2006, pp. 933-940.
- Sun, Z., Wang, J., Howe, D., Jewell, G., Analytical prediction of short-circuit current in fault-tolerant permanent magnet machines., *IEEE Trans. Ind. Electron.*, vol. 57, no. 99, pp. 1-1, 2010.
- Xiaomin, K., Corzine, K.A., Familian, Y.L., A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter., *IEEE Trans. Power Electronics*, Vol. 19, No. 4, July 2004, pp. 979 -984.
- Xiong, Y., Cheng, X., Shen, Z.J., Chunting, M., Hongjie, W., Garg, V.K., Prognostic and Warning System for Power-Electronic Modules in Electric, Hybrid Electric, and Fuel-Cell Vehicles., *IEEE Trans. Ind. Electron.*, vol. 55, no. 6, pp. 2268 -2276, June 2008.
- Zidani, F., Diallo, D., El Hachemi Benbouzid, M. and Naït-Saïd, R. A fuzzy-based approach for the diagnosis of fault modes in a voltage-fed PWM inverter induction motor drive., *IEEE Trans. Ind. Electron.*, vol. 55, no. 2, pp. 586-593, Feb. 2008.